

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

6/5/1 (Item 1 from file: 351)
DIALOG(R) File 351:Derwent WPI
(c) 2001 Derwent Info Ltd. All rts. reserv.

007655454 **Image available**

WPI Acc No: 1988-289386/198841

Semiconductor device prepn. - by forming 2nd tapered layer of aluminium alloy wirings on gate wirings to obtain contact of control gate

NoAbstract Dwg 2/2

Patent Assignee: MITSUBISHI DENKI KK (MITQ)

Number of Countries: 001 Number of Patents: 001

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
JP 63211769	A	19880902	JP 8745643	A	19870227	198841 B

Priority Applications (No Type Date): JP 8745643 A 19870227

Patent Details:

Patent No	Kind	Lan	Pg	Main IPC	Filing Notes
JP 63211769	A		8		

Title Terms: SEMICONDUCTOR; DEVICE; PREPARATION; FORMING; TAPER; LAYER; ALUMINIUM; ALLOY; WIRE; GATE; WIRE; OBTAIN; CONTACT; CONTROL; GATE; NOABSTRACT

Derwent Class: L03; U11; U13

International Patent Class (Additional): H01L-021/88; H01L-027/10;

H01L-029/78

File Segment: CPI; EPI

6/5/2 (Item 1 from file: 347)
DIALOG(R) File 347:JAPIO
(c) 2001 JPO & JAPIO. All rts. reserv.

02594869 **Image available**

MANUFACTURE OF SEMICONDUCTOR DEVICE

RUB. NO.: 63-211769 A]

PUBLISHED: September 02, 1988 (19880902)

INVENTOR(s): SAITO KENJI

APPLICANT(s): MITSUBISHI ELECTRIC CORP [000601] (A Japanese Company or Corporation), JP (Japan)

APPL. NO.: 62-045643 [JP 8745643]

FILED: February 27, 1987 (19870227)

INTL CLASS: [4] H01L-029/78; H01L-021/88; H01L-027/10

JAPIO CLASS: 42.2 (ELECTRONICS -- Solid State Components); 45.2 (INFORMATION PROCESSING -- Memory Units)

JAPIO KEYWORD: R097 (ELECTRONIC MATERIALS -- Metal Oxide Semiconductors, MOS)

JOURNAL: Section: E, Section No. 699, Vol. 12, No. 500, Pg. 73, December 27, 1988 (19881227)

ABSTRACT

PURPOSE: To make it possible to adopt a film such as a silicon nitride film, whose transmittance of ultraviolet rays is very low, as a passivation film, to erase storage contents efficiently and to shorten access time, by forming a second aluminum alloy wiring layer having a tapered part on a gate wiring.

CONSTITUTION: An interlayer film 9, which can readily transmit ultraviolet rays, whose wavelength is 2,537 angstroms, such as a silicon oxide film is deposited on a first aluminum alloy wiring 4 by a CVD method and the like. Then a second tapered aluminum alloy wiring 10 is formed on the gate wiring and contacted with a control gate 7. The resistance of the gate wiring is decreased. The ultraviolet rays, which are projected on the control gate 7 up to now, undergo irregular reflection with the second aluminum alloy wiring 10. The ultraviolet rays are projected on a floating gate 6. Finally, a passivation film 5 such as a silicon nitride film characterized

by excellent moisture resistance and mechanical strength is deposited by a CVD method and the like.

⑫ 公開特許公報(A)

昭63-211769

⑤ Int. Cl.⁴H 01 L 29/78
21/88
27/10

識別記号

3 7 1

庁内整理番号

7514-5F
A-6708-5F
8624-5F

④ 公開 昭和63年(1988)9月2日

審査請求 未請求 発明の数 1 (全3頁)

⑬ 発明の名称 半導体装置の製造方法

⑭ 特 願 昭62-45643

⑮ 出 願 昭62(1987)2月27日

⑯ 発 明 者 齊 藤 健 二 兵庫県伊丹市瑞原4丁目1番地 三菱電機株式会社北伊丹製作所内

⑰ 出 願 人 三菱電機株式会社 東京都千代田区丸の内2丁目2番3号

⑱ 代 理 人 弁理士 大岩 増雄 外2名

明 細 書

1. 発明の名称

半導体装置の製造方法

2. 特許請求の範囲

光照射により記憶内容を消去することのできる記憶装置を備えた半導体装置の製造方法において、アルミ合金配線を2層に設け、その1層目は不純物領域とのコンタクトを取るために使用し、他の2層目は傾斜角の付いたアルミ合金配線とし、ゲート配線上に位置させてコントロールゲートとのコンタクトを取ることとを特徴とする半導体装置の製造方法。

3. 発明の詳細な説明

〔産業上の利用分野〕

この発明は光照射により記憶内容を消去可能な記憶装置を備えた半導体装置の製造方法に関するものである。

〔従来の技術〕

光照射により記憶内容を消去することのできる記憶装置を備える半導体装置、たとえば EPROM (

Erasable and Programmable Read Only Memory)

や EPROM 内蔵マイコン等の記憶内容を消去するためには、従来、殺菌ランプ等の 2537Å の波長を発光の主ピークとするランプを光源として用いていた。

記憶消去のメカニズムを第2図に示す EPROM のメモリーセルを例にとつて説明する。なお、第2図(a)はメモリーセルの平面図、(b)は(a)図の A-A' 線断面図、(c)は(a)図の B-B' 断面図である。EPROM は通常図に示したように、フローティングゲート(8)内に電荷を蓄積し、電荷の有無によつて1ビットの記憶内容の Low, High の判定を行なう。電荷の注入(書き込み)、放出(消去)は薄いゲート酸化膜(9)を通して行われる。消去の際には、ウェハ上面から波長 2537Å の紫外線を照射し、光子の持つエネルギー(〜4.7eV)によりフローティングゲート(8)内の電子を励起する。励起された電子はゲート酸化膜(9)のエネルギー障壁を突き抜けて、シリコン基板(11)中に逃げてゆく。この様にして、フローティングゲート(8)に電子の蓄えられた書き

込み状態から、電子を放出して書き込み内容の消去を行うことができる。

〔発明が解決しようとする問題点〕

従来の EPROM 等の消去方法は以上の様に行われていたので、波長 2537Å の光の透過率が低いパッシベーション膜(5)を EPROM 等の半導体装置に用いることができないという問題点があった。

特に、パッシベーションにシリコン酸化膜(透過率大)よりも耐湿性・機械的強度に優れたシリコン窒化膜(透過率小)を適用することができないということは、樹脂モールドパッケージに実装する場合に問題であつた。

この発明は上記のような問題点を解決するためになされたもので、波長 2537Å の紫外光の透過率が非常に低いシリコン窒化膜などの膜をパッシベーション膜に採用することができる記憶内容の消去方法を得ることを目的とする。

〔問題点を解決するための手段〕

この発明に係る記憶内容の消去方法は、ゲート配線上にテーパーの付いた2層目のアルミ合金配

たアルミ合金配線2(10)をゲート配線上に形成し、コントロールゲート(7)とのコンタクトを取り、ゲート配線抵抗を下げるとともに、今までコントロールゲート(7)上に照射されていた紫外光をこのアルミ合金配線2(10)で乱反射させフローティングゲート(6)上に照射させてやる。最後に、耐湿性・機械的強度に優れたシリコン窒化膜等のパッシベーション膜(5)をCVD法等で堆積させる。

以上の様な製造方法にしてやることによつて、耐湿性・機械的強度には優れているが、紫外光の透過率が低いといったシリコン窒化膜をパッシベーション膜(5)に適用しても記憶内容の消去は効率よく行なえるとともに、コントロールゲート(7)とのコンタクトを取ることによつて、ゲート配線の抵抗を下げアクセスタイムの短縮・消費電力の低減ができる。

〔発明の効果〕

以上のようにこの発明によれば、テーパーの付いた2層目のアルミ合金配線をゲート配線上に形成し、コントロールゲートとのコンタクトを取る

線を形成したものである。

〔作用〕

この発明における2層目のアルミ合金配線は、コントロールゲート上に集まつてくる無駄な紫外光を乱反射させて、フローティングゲート上に集めることができるために効率的に消去を行なうことができる。また、コントロールゲートとのコンタクトを取ることによつて、コントロールゲートの配線抵抗を下げ、アクセスタイムを短く、消費電力を少なくすることができる。

〔実施例〕

以下、この発明の一実施例を第1図の EPROM メモリーセルを例に取つて説明する。第1図(a)はメモリーセルの平面図、(b)は(a)図の A-A' 線断面図、(c)は(a)図の B-B' 線断面図を示す。図において、アルミ合金配線1(4)までは従来の製造方法と同様の方法で形成していく。そして、前記アルミ合金配線1(4)上にシリコン酸化膜等の波長 2537Å の紫外光を透過しやすい層間膜(9)をCVD法等で堆積させる。次に、第1図に示すようにテーパーの付い

ように構成したので、記憶内容の消去が効率よく行なえるとともにアクセスタイムを短くでき、さらに消費電力も少なくすることができる。

4. 図面の簡単な説明

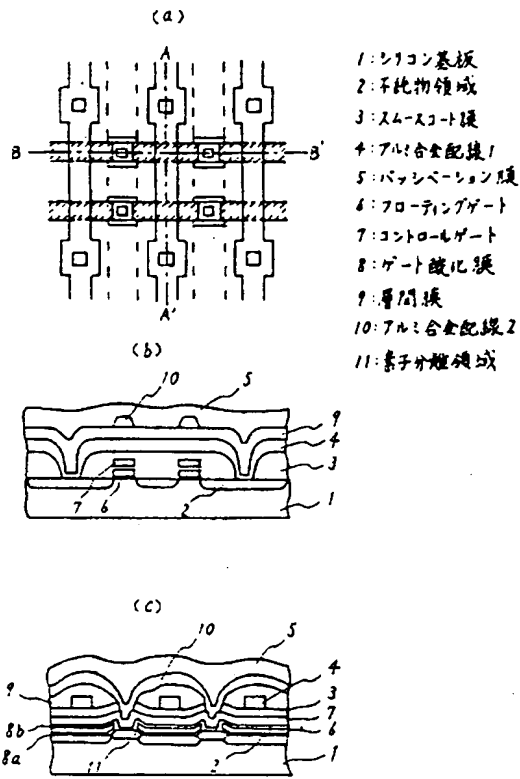
第1図(a)(b)(c)はこの発明の一実施例によるメモリーセルの正面図、縦断面図、横断面図で、第2図(a)(b)(c)は従来のメモリーセルの同じく正面図、縦断面図、横断面図である。

図において、(1)：シリコン基板、(2)：不純物領域、(3)：スモースコート膜、(4)：アルミ合金配線1、(5)：パッシベーション膜、(6)：フローティングゲート、(7)：コントロールゲート、(8)：ゲート酸化膜、(9)：層間膜、(10)：アルミ合金配線2、(11)：素子分離領域。

なお、図中、同一符号は同一、又は相当部分を示す。

代理人 大 岩 増 雄

第 1 図



第 2 図

